

Docket No.: CIT/K-136

#2

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Eung Tae KIM

Serial No.: New U.S. Patent Application

Filed: January 26, 2001

For: APPARATUS FOR RECEIVING DIGITAL MOVING PICTURE

J1000 U.S. PTO
09/769421
01/26/01


TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following applications:

Korean Patent Application Nos. 4018/2000 and 4019/2000 filed January 27, 2000.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP



Daniel Y.J. Kim
Registration No. 36,186
Carl R. Wesolowski
Registration No. 40,372

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: January 26, 2001

DYK/kam

대한민국특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

11000 U.S. PRO
09/769421
01/26/01


출원번호 : 특허출원 2000년 제 4019 호
Application Number

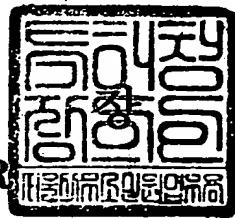
출원년월일 : 2000년 01월 27일
Date of Application

출원인 : 엘지전자 주식회사
Applicant(s)

2000 년 12 월 27 일

특허청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0010		
【제출일자】	2000.01.27		
【국제특허분류】	H04N		
【발명의 명칭】	디지털 동영상 수신 장치		
【발명의 영문명칭】	Apparatus for receiving digital moving picture		
【출원인】			
【명칭】	엘지전자 주식회사		
【출원인코드】	1-1998-000275-8		
【대리인】			
【성명】	김용인		
【대리인코드】	9-1998-000022-1		
【포괄위임등록번호】	1999-001100-5		
【대리인】			
【성명】	심창섭		
【대리인코드】	9-1998-000279-9		
【포괄위임등록번호】	1999-001099-2		
【발명자】			
【성명의 국문표기】	김용태		
【성명의 영문표기】	KIM, Eung Tae		
【주민등록번호】	690315-1173221		
【우편번호】	137-130		
【주소】	서울특별시 서초구 양재동 271-2 남포주택 202호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	16	면	16,000 원

1020000004019

2000/12/2

【우선권주장료】	0	건	0	원
【심사청구료】	11	항	461,000	원
【합계】	506,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

디지털 텔레비전(DTV) 또는 디지털 화상회의 시스템 응용 분야에서 외부 메모리 감축을 위한 디지털 동영상 수신 장치에 관한 것으로서, 특히 수신된 비월주사 시퀀스의 필드 DCT coded 블록과 프레임 DCT coded 블록을 고정된 틈 필드의 화소를 갖는 픽처로 다운 컨버젼하여 메모리에 저장한 후 움직임 예측 보상을 함으로써, HD급 비월주사 시퀀스를 위한 다운 컨버터를 갖는 비디오 디코더를 통해 75% 메모리 감축 효율과 매우 적은 하드웨어의 복잡성을 가지면서 각종 PIP용이나 SD급의 저해상도 디스플레이 장치에서 좋은 화질의 SD급 화면을 얻을 수 있다.

【대표도】

도 5

【색인어】

다운 컨버젼, 틈 필드, 프레임 DCT, 비월주사

【명세서】

【발명의 명칭】

디지털 동영상 수신 장치{Apparatus for receiving digital moving picture}

【도면의 간단한 설명】

도 1은 일반적인 디지털 TV 수신기의 구성 블록도

도 2는 도 1의 MPEG 비디오 디코더의 상세 블록도

도 3a, 도 3b는 프레임 DCT 및 월드 DCT 과정을 보인 도면

도 4는 본 발명에 따른 MPEG 비디오 디코더의 구성 블록도

도 5는 도 4의 상세 블록도

도 6은 도 4의 적응 IDCT부의 상세 블록도

도 7은 도 4의 업/다운 샘플링을 통한 움직임 보상 과정을 보인 블록도

도면의 주요부분에 대한 부호의 설명

301 : 버퍼

302 : VLD

303 : IQ부

304 : 적응 IDCT부

305 : 가산기

306 : 업 샘플링부

307 : 움직임 보상부

308 : 다운 샘플링부

309 : 메모리 인터페이스

310 : 메모리

311 : 비디오 디스플레이 프로세서

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 디지털 텔레비전(DTV) 또는 디지털 화상회의 시스템 응용 분야에 관한 것으로서, 특히 디지털 비디오 전송 분야의 표준안인 엠펙-2(MPEG-2) 디코딩 칩의 외부 메모리 감축을 위한 디지털 동영상 수신 장치에 관한 것이다.

<16> 최근 DTV 방송에 대한 관심이 높아지고 있으며, 고화질의 선명한 화면을 가정에서 TV 수신기로 볼 수 있도록 비디오 데이터를 압축하여 송신하고자 하는 노력이 기울여지고 있다. 비디오 신호를 압축하기 위하여 사용되는 알고리즘으로는 MPEG-2가 주로 사용된다.

<17> 이러한 알고리즘 덕분에 기존에 다루기조차 힘들었던 고화질의 디지털 데이터를 일반 방송 채널로 전송하여 가정에서 즐길 수 있도록 하려는 연구가 계속되고 있다. 따라서, 디지털 TV 수신기는 이렇게 압축되어 수신된 데이터를 원래의 고화질의 비디오 데이터로 복원하여야 하며, 이를 위해 MPEG-2 비디오 디코더가 필요하다.

<18> 이러한 MPEG-2 비디오 디코더를 채용한 디지털 TV 수신기는 도 1에 도시된 바와 같이, 오디오/비디오(Audio/Video ; A/V) 다중(Multiplexed) 비트스트림이 입력되면 트랜스포트 역다중화부(101)에서 다중화되어 있는 오디오와 비디오 비트스트림을 각각 분리한다. 상기 분리된 오디오 비트스트림과 비디오 비트스트림은 디코딩을 위해 각각 오디오 디코더(102)와 비디오 디코더(104)로 출력된다. 여기서, 상기 오디오 비트스트림과 비디오 비트스트림은 패킷화된 요소 스트림(packetized elementary stream ; PES)이다.

<19> 이때, 상기 오디오 디코더(102)는 MPEG 알고리즘 또는 오디오 코딩(AC)-3 알고리즘 등을 이용하여 입력되는 오디오 비트스트림을 원래의 신호로 복원하고, 디지털/아날로그 컨버터(digital/analog converter ; DAC)(103)는 이를 아날로그 형태로 변환하여 스피커등으로 출력한다.

<20> 또한, 상기 비디오 디코더(104)는 입력되는 비디오 비트스트림에서 오버헤드(각종 헤더 정보, 스타트 코드등)를 제거하고, 순수한 데이터 정보를 가변 길이 디코딩한 후 역양자화 과정, 역 이산 코사인 변환 과정을 거쳐 원래 화면의 픽셀 값을 복원하고, 비디오 디스플레이 처리부(Video Display processor ; VDP)(105)는 이를 디스플레이 포맷에 맞게 변환하여 디스플레이 장치에 출력한다.

<21> 도 2는 상기 MPEG 비디오 디코더(104)의 상세 블록도로서, 상기 트랜스포트 역다중화부(101)에서 분리된 비디오 비트 스트림은 버퍼(201)를 통해 가변 길이 디코더 (Variable Length Decoder ; VLD)(202)로 입력된다. 상기 VLD(202)는 비디오 비트스트림을 가변길이 디코딩하여 움직임 벡터, 양자화 값, DCT(Discrete Cosine Transform) 계수로 분리한 후 움직임 벡터(MV)는 움직임 보상부(206)로 출력하고, 양자화 값 및 DCT 계수는 역양자화(Inverse Quantizer ; IQ)부(203)로 출력한다. 이때, 상기 DCT 계수는 지그-재그 스캔 방식 또는 택일 스캔(Alternate scan) 방식으로 코딩되어 있으므로 IQ부(203)는 이를 라스터 스캔(Raster Scan) 방식으로 역스캔한 후 역스캔된 DCT 계수를 양자화 값에 따라 역 양자화하여 역 이산 여현 변환(Inverse Discrete Cosine Transform ; IDCT)부(204)로 출력한다. 상기 IDCT부(204)는 MPEG-2 비디오 신택스에 맞게 8x8 블록 단위로 역 양자화된 DCT 계수를 IDCT하여 가산기(205)로 출력한다.

<22> 한편, 상기 VLD(202)에서 출력되는 움직임 벡터는 움직임 보상부(206)로 출력되고, 상기 움직임 보상부(206)는 상기 움직임 벡터와 메모리(208)에 저장된 이전 프레임을 이용하여 현재의 픽셀값에 대한 움직임 보상을 수행한 후 가산기(205)로 출력한다.

<23> 상기 가산기(205)는 IDCT된 값과 움직임 보상된 값을 더하여 최종 픽셀값인 완전한 영상으로 복원한 후 비디오 디스플레이 처리부(Video display processor ; VDP)(209)로 출력한다. 상기 VDP(209)는 픽처 타입에 따라 데이터를 재배열하여 출력하기도 하고 그 대로 출력하기도 한다.

<24> 여기서, Intra-picture(I-픽처)의 경우는 IQ/IDCT한 결과가 바로 메모리(208)에 저장되고, predictive picture(P-픽처)나 bidirectional picture(B-픽처)의 경우는 움직임 보상된 데이터와 IDCT된 결과가 가산기(205)에서 더해진 후 메모리(208)에 저장된다.

<25> 즉, MPEG-2를 기본으로 하고 있는 비디오 디코더 시스템은 외부 메모리(208)를 사용하는데, 상기 외부 메모리(208)는 비트 스트림을 일시 저장하기 위한 버퍼와 2개 이상의 프레임 메모리로 구성된다. 그리고, 상기 프레임 메모리는 통상 다이나믹 램(DRAM)을 사용한다. 특히, 비디오 디코더의 경우 상기 외부 메모리(208)의 역할은 비디오 디코딩을 위한 비트 스트림의 쓰기와 읽기, 움직임 보상을 위하여 필요한 데이터의 읽기, 디코딩된 데이터의 쓰기 및 디스플레이될 데이터의 읽기로 크게 나누어질 수 있으며, 메모리 인터페이스(207)를 통해 데이터를 주고받는다.

<26> 그러나, MPEG-2 MP@HL의 비디오 데이터를 디코딩하기 위해서는 사용되는 메모리의 크기와 데이터의 전송 속도도 그만큼 빨라져야 하기 때문이다. 또한, MPEG-2 표준 규격 안에서 MP@HL 모드를 지원하기 위해서는 약 10Mbps의 비트-버퍼 사이즈가 요구되고, 최대 허용 비트 레이트(bit rate)가 약 80Mbit/s에 이른다. 이로 인해, 기존의 16Mbps

DRAM을 기반으로 하는 MPEG-2 비디오 디코더의 경우 약 96~128Mbps의 외부 메모리를 필요로 한다.

<27> 최근에 MPEG-2와 같은 비디오 압축 복원 시스템의 경우 PIP(picture in picture)용과 같이 여러 종류의 비디오 신호를 멀티 디코딩하여 동시에 디스플레이 하는 서비스를 제공하거나 각종 OSD(on screen display) 및 그래픽(graphic)등과 같은 다양한 부가 서비스를 제공하는 추세이다. 그러므로, 앞으로는 추가적인 메모리의 증가가 필연적이며, 칩의 기능이 확장되면서 칩 사이즈도 커지는 경향을 띠고 있다. 결국, 제품 및 소비자 용용에 있어서 가격 경쟁력을 갖기 위해서는 적은 하드웨어 코스트(H/W cost)와 고 가격의 메모리를 줄이면서 좋은 화질을 유지할 수 있는 기술이 필요하다.

<28> 특히, 저 해상도 화면장치를 갖는 SD급 TV나 기타 모니터를 통해 MPEG-2 MP@HL의 고해상도 영상을 보기 위해서는 메모리의 한계성, 가격, 및 데이터 버스의 밴드폭 (bandwidth)을 고려해야 한다. 결국, 비디오 디코딩 칩에 고화질 화상 신호의 손실을 최소로 하면서 1/4배의 SD급으로 디스플레이하기 위한 효과적인 디코딩 장치가 필요하다. 즉, 현재 HDTV 디스플레이 장치가 고가이고 많지 않은 상태이므로 고해상도 HD급 화질의 비디오 시퀀스를 현존하는 NTSC급의 TV를 통해 감소된 해상도로 디스플레이할 필요가 생긴다. 이때, 시청자들이 고가의 HDTV 디스플레이 장치를 사지 않고도 HDTV 신호를 볼 수 있게 되어야 한다. 이런 장치를 다운 컨버팅 디코더라고 부른다. 결국 풀 HDTV 해상도를 내는 TV보다는 훨씬 싼 가격의 TV를 얻게 된다.

<29> 이때, 기존의 비디오 디코딩 칩에 내재하여 있는 다운 컨버전 알고리즘들을 살펴보면, 수평 방향과 수직방향에 대한 공간영역에서의 다운 샘플링 방식과 DCT 주파수 영역에서의 필터링/다운 샘플링 방식들을 통한 압축방식을 들 수 있다.

<30> 상기된 방식들을 MPEG-2 비디오 시스템에 적용하기 위해 MPEG-2 비디오 신호의 코딩 방식을 살펴보면 다음과 같다. 우선 MPEG-2 비디오 시스템에서는 비월주사된 픽처의 경우 필드(field) 픽쳐나 프레임(frame)픽쳐로 인코딩된다. 즉, 필드로 따로 분리하여 필드 단위로 인코딩하면 필드 픽처, 프레임 단위로 부호화하면 프레임 픽처라 한다.

<31> 상기 필드 픽처의 경우 한 픽처는 주사선의 홀수선(odd line)으로 구성되고, 다른 픽처는 주사선의 짹수선(even line)으로 구성되며, 모든 인코더와 디코더의 동작이 필드 단위로 이루어진다. 따라서 8x8 단위의 DCT(discrete cosine transform)한 블록들은 홀수필드(odd field)나 짹수필드(even field)로만 구성된다. 이를 필드 DCT coded 블록(field DCT coded block)이라 부른다.

<32> 이와 달리 비월주사된 프레임 픽처의 경우는 각 픽처가 주사선의 홀수선과 짹수선이 합쳐져서 구성되어진다. 그러므로, 프레임 픽처의 매크로 블록들은 홀수필드와 짹수필드를 모두 가지게 된다.

<33> 이때, 프레임 픽처의 매크로 블록들은 두가지 다른 방법으로 코딩될 수 있다. 매크로 블록(즉, 16x16)내의 4개의 8x8 DCT 변환된 블록들이 각각 홀수와 짹수선을 갖는 프레임 DCT coded 블록이고, 다른 하나는 매크로 블록내의 2개의 블록은 매크로 블록의 홀수선만으로 구성되고, 나머지 2개 블록은 짹수선만으로 구성되는 필드 DCT coded 블록이다. 즉, 프레임 DCT coded 블록은 도 3a와 같이 매크로 블록을 4개의 블록으로 나눈 다음 각 8x8 블록에 대하여 DCT를 하는 것이고, 필드 DCT coded 블록은 도 3b와 같이 각 필드별로 서로 나눈 후 각각 2개로 분리하여 DCT하는 것이다.

<34> 또한, 필드 픽처의 매크로 블록들은 모두 필드 DCT로 코딩되어 있으며, 움직임 보상시 기준 필드로부터 움직임 보상 예측된다. 그러나, 프레임 픽처의 매크로 블록들은

frame DCT/field DCT로 코딩되며, 프레임 단위로 움직임 보상 예측되거나 또는, 필드 단위로 움직임 보상 예측이 가능하다. 순차주사 시퀀스의 경우는 모든 픽처들이 프레임 DCT로 코딩되며 프레임 예측을 행한다.

<35> 이때, 기존의 MPEG 시스템과 같은 비디오 디코더에 적용한 다운 컨버전 방식들은 대부분 DCT 영역에서의 다운 컨버전 방식을 선택하였다. 이러한 방식들 중 하나가, 미국 특허 5,262,854호에 개시되어 있다. 상기 개시된 미국 특허는 8x8 블록내 48개 고주파수 DCT계수들을 없애는 다운 샘플러를 가지고 있다.

<36> 그리고, 나머지 저 주파수 성분의 4x4 블록에 대해서 IDCT한 결과를 메모리에 저장한다. 따라서, 움직임 보상시 풀 해상도(full resolution) 움직임 벡터를 사용하여 움직임 보상 예측오차를 줄이려고 할 때 축소된 해상도(reduced resolution)의 화면을 기준으로 사용하게 된다. 결국 축소된 해상도를 풀 해상도 픽처로 만들기 위해서 수평과 수직 방향의 업 샘플링(up-sampling) 방식이 사용된다.

<37> 또한, 4x4 IDCT를 써서 다운 샘플링된 픽처를 업 샘플링하여 움직임 보상 예측 오차를 줄이기 위한 몇 가지 방식들이 제안(R. Morky and D. Anastassiou, 'Minimul error drift in Frequency scalability for motion-compensated DCT coding,' IEEE Trans. On Circuit and System for Video Tech., Vol. 4, August 1994. Johnson and Princen, 'Drift minimization in frequency scalable coders using block based filtering,' IEEE Workshop on Visual Signal Processing and Communication, September 1993.)되어 있다.

<38> 상기에서 제안된 방법들은 전형적으로 예측되는 매크로 블록의 움직임 벡터에 따라 5탭이나 8탭을 갖는 2차원 필터를 사용한다. 이때, 움직임 벡터에 따라 8탭 필터의 값

들의 위치가 변하게 된다. 따라서, 하나의 8탭 필터로 4 화소들을 8 화소로 늘려주게 된다.

【발명이 이루고자 하는 기술적 과제】

<39> 그러나, 비디오 디코더로 들어온 비율주사 HD(high definition)급 신호들을 상기의 다운 컨버전 알고리즘을 이용하여 SD급 화면에 디스플레이할 경우 다음과 같은 문제점을 들을 가지고 있다.

<40> 첫째는 비율주사 시퀀스가 프레임 꾹쳐 단위로 디코딩시 블록마다 서로 다른 프레임 DCT coded 블록과 필드 DCT coded 블록이 혼합되어 존재한다. 이 경우 프레임 DCT coded 블록을 필드 단위로 메모리에 저장하기 위해서 여러 과정의 프로세싱 및 버퍼가 소요되는 단점이 있다.

<41> 둘째는 필드 단위의 메모리 맵을 사용시 풀 움직임 벡터(full motion vector)를 이용한 프레임 예측(frame prediction)의 움직임 보상을 위해 각 필드마다 수직방향으로의 업 샘플링 및 다운 샘플링 필터링이 필요로 하게 된다. 이로 인해 각 필드의 프로세싱 시간 및 이에 따른 메모리 밴드폭이 증가하는 문제점을 가지고 있다. 또한, 수직방향에 따른 업/다운 샘플링의 하드웨어 복잡도가 매우 높다.

<42> 셋째는 비율주사 시퀀스의 경우 각 필드의 수직방향의 고주파수(high frequency) 성분들의 손실에 따른 화질 저하 현상을 들 수 있다. 결국 각 필드들을 합쳐서 프레임으로 디스플레이시 각 필드간의 불연속적인 선들이 생겨서 눈에 거슬리게 된다.

<43> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 저가

격과 메모리 감축 및 좋은 화질을 유지하면서 HD급의 신호를 SD급의 저 해상도 화면에 디스플레이하기 위한 디지털 동영상 수신 장치를 제공함에 있다.

【발명의 구성 및 작용】

<44> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 디지털 동영상 수신 장치는, 비디오 신호가 포함된 비트스트림을 분리하여 추출하는 비디오 비트스트림 추출부와, 상기 추출된 비디오 비트스트림이 비율주사 시퀀스인 경우 프레임 DCT coded 블록과 필드 DCT coded 블록을 고정된 틱 필드 기반의 화소구조를 갖는 픽처로 다운 컨버전하여 메모리에 저장한 후 움직임 보상을 하는 비디오 처리부를 포함하여 구성되는 것을 특징으로 한다.

<45> 상기 비디오 처리부는 입력되는 비디오 비트스트림을 가변길이 디코딩 및 역양자화한 후 역양자화된 DCT 계수가 비율주사 시퀀스의 필드 DCT된 데이터이면 바텀 필드의 DCT 계수를 제거하고, 틱 필드에 대해서는 수평 방향으로 고주파수 성분의 DCT 계수를 제거한 후 8x4 역 이산 코사인 변환(IDCT)을 수행하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 틱 필드만을 추출한 후 IDCT를 수행하는 것을 특징으로 한다.

<46> 상기 비디오 처리부는 움직임 보상시 풀 해상도 움직임 벡터를 사용하는 경우 움직임 보상전에 메모리로부터 틱 필드의 기준 데이터를 읽어 와 수평 방향으로 업 샘플링 필터링을 수행하고, 움직임 보상 후에 수평 방향으로 다운 샘플링 필터링을 수행하는 것을 특징으로 한다.

<47> 본 발명에 따른 디지털 동영상 수신 장치는, 역양자화된 DCT 계수가 비율주사 시퀀

스의 필드 DCT된 데이터이면 바텀 필드의 DCT 계수를 제거하고, 톱 필드에 대해서는 수평 방향으로 고주파수 성분의 DCT 계수를 제거한 후 8x4 역 이산 코사인 변환(IDCT)을 수행하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 톱 필드만을 추출한 후 IDCT를 수행하는 IDCT부와, 상기 IDCT된 데이터 또는 상기 IDCT된 데이터와 움직임 보상된 데이터의 가산 결과를 저장하는 메모리와, 상기 메모리로부터 리드된 톱 필드의 기준 픽쳐를 수평 방향으로 업 샘플링하는 업 샘플링부와, 상기 업 샘플링부에서 수평 방향으로 업 샘플링된 픽쳐에 대해 VLD로부터 출력되는 풀 해상도의 움직임 벡터를 사용하여 움직임 보상을 수행하는 움직임 보상부와, 상기 움직임 보상부에서 움직임 보상된 데이터를 수평 방향으로 다운 샘플링한 후 상기 IDCT된 데이터와 더하여 메모리에 다시 저장하는 다운 샘플링부와, 디스플레이 모드에 따라 상기 메모리에 저장된 데이터를 리드하여 디스플레이 장치로 출력하는 비디오 디스플레이 처리부를 포함하여 비디오 디코더가 구성되는 것을 특징으로 한다.

<48> 상기 IDCT부는 비월주사 시퀀스의 프레임 DCT coded 블록이면 수평방향으로 고주파수성분의 DCT 계수를 제거하는 수평 축소부와, 상기 수평 방향으로 감축된 프레임 DCT coded 블록을 필드 DCT coded 블록으로 변환하면서 톱 필드의 IDCT 계수만을 출력하는 변환부와, 상기 변환부의 출력 데이터에 대해 수평 방향으로 IDCT를 수행하는 수평 IDCT로 구성되는 것을 특징으로 한다.

<49> 본 발명은 수신된 비월주사 시퀀스의 필드 DCT coded 블록과 프레임 DCT coded 블록을 고정된 톱 필드의 화소를 갖는 픽쳐로 다운 컨버전하여 메모리에 저장한 후 움직임 예측 보상을 하는데 있다. 이를 통해 다른 프로세서의 추가없이 수직 방향으로 HD 신호의 1/2배되는 신호를 얻을 수 있다.

<50> 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

<51> 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.

<52> 도 4는 본 발명에서 제안된 75% 메모리 감축용 다운 컨버젼을 갖는 MPEG-2 비디오 디코더의 구성 블록도로서, 입력되는 매크로 블록의 DCT 유형에 관계없이 톱 필드에 대해서만 IDCT를 수행하는 적응 IDCT부(304), 움직임 보상부(307) 전단에 구비되어 메모리(310)로부터 읽어 온 데이터를 수평 방향으로 업 샘플링하는 업 샘플링부(306), 움직임 보상된 데이터를 다시 수평 방향으로 다운 샘플링하여 가산기(305)로 출력하는 다운 샘플링부(308)가 상기된 도 2에 더 포함되어 구성된다.

<53> 즉, VLD(302)를 통해 파싱된 비트스트림이 IQ부(303), IDCT부(304) 및 움직임 보상부(307)를 거쳐 외부 메모리(310)에 저장된다. 저장된 영상은 비디오 디스플레이 프로세서(Video Display Processor ; VDP)(312)를 거쳐 화면에 보여지게 된다.

<54> 도 5는 도 4의 다운 컨버젼 부분을 좀더 상세하게 도시한 구성 블록도로서, 메모리가 원 필드 구조를 갖도록 한다.

<55> 본 발명은 수신된 DCT 유형에 상관없이 항상 정해진 톱 필드 기반 기준(top field-based reference) 픽처를 갖도록 한다. 이를 위해 필드 DCT coded 블록이 입력되면 톱 필드만을 IDCT하고, 프레임 DCT coded 블록이 입력되면 필드 DCT coded 블록으로 변환한 후 톱 필드만을 IDCT한다. 그러면, 50% 메모리 감축 효과를 얻는다. 이때, 75% 메모리 감축을 원하면 IDCT 전에 수평 방향으로 고 주파수 성분에 해당하는 DCT 계수들을 제거한다.

<56> 즉, 상기 VLD(302)로부터 파싱된 DCT 계수들이 IQ부(303)로 입력되어 역 양자화된 후 적응 IDCT부(304)로 전송된다. 이때 상기 VLD(302)는 dct_type(프레임 또는 필드)와 picture structure (프레임 퍽처 또는 필드 퍽처)를 함께 제공한다. 또한, 상기 VLD(302)는 움직임 보상부(307)로 움직임 벡터(MV)들, 움직임 유형(motion_type), 필드 선택신호(motion_vertical_field_select)들을 제공한다.

<57> 한편, 상기 적응 IDCT부(304)의 동작은 도 6과 같다.

<58>₆ 즉, 필드 DCT된 매크로 블록의 경우 톱 필드에 해당하는 8x8 IDCT 계수들(X1, X2) 중 수평방향으로 고주파수 성분에 해당하는 DCT 계수들(X(I,J), J=5, ..., 8)을 제거하고 나머지 8x4 DCT 계수들에 대해서만 수직/수평 방향으로 IDCT한다. 이는 저주파수 성분들만을 복원하게 되는데 영상내 선명도, 즉 영상의 상세(detail)한 에지나 텍스트등에 대한 정보를 잃게 된다. 그러나, 일반적으로 자연계 영상들은 대부분 저주파수 영역에 대한 신호들로 응집되어 있으므로 영상 화질을 크게 해치지는 않게 된다. 그러므로, 8x4 IDCT한 결과는 영상을 저주파수 대역 필터를 쓴 효과를 나타낸다. 그리고, 매크로 블록 중 바텀 필드에 해당하는 DCT 계수들을 모두 버린다. 이는 디스플레이 장치에서 톱 필드만 보여주게 되는 결과를 초래하며, 최종적으로 외부 메모리에 저장되는 영상의 크기는 1/4만큼 줄어든다. 결국 이를 통해 75%의 메모리 감축율을 얻게 된다.

<59> 한편, 프레임 DCT된 블록의 경우는 톱 필드에 해당하는 신호들만을 선정하여 DCT 변환내에서 수평방향으로 1/2 다운 샘플링한다. 따라서, 적응 IDCT부(304)의 출력은 항상 톱 필드기반의 화소구조를 가지고 있으며 그 결과는 매크로 블록(MB) 가산기(305)로 입력된다. 이를 위해 수평방향으로 고주파수 성분의 DCT 계수를 제거하고 수직방향으로는 톱 필드만을 선정한다.

<60> 이때, 상기 적응 IDCT부(304)에서 프레임 DCT 블록을 수직방향으로 IDCT하여 텁 필드 DCT 블록으로 변환하는 관계식은 다음의 수학식 1과 같다.

<61> 【수학식 1】

$$[X] = \begin{bmatrix} x \\ x \end{bmatrix}$$

<62> 여기서 $[X]$ 는 8개의 프레임 DCT 계수들을 갖는 수직 블록을 나타낸다.

<63> 이때, 8x8 DCT 기저 매트릭스(matrix) $[T8]$ 는 다음의 수학식 2와 같이 표현된다.

<64> 【수학식 2】

$$[T8] = \begin{bmatrix} t_{00} & t_{01} & t_{02} & t_{03} & t_{04} & t_{05} & t_{06} & t_{07} \\ t_{10} & t_{11} & t_{12} & t_{13} & t_{14} & t_{15} & t_{16} & t_{17} \\ t_{20} & t_{21} & t_{22} & t_{23} & t_{24} & t_{25} & t_{26} & t_{27} \\ t_{30} & t_{31} & t_{32} & t_{33} & t_{34} & t_{35} & t_{36} & t_{37} \\ t_{40} & t_{41} & t_{42} & t_{43} & t_{44} & t_{45} & t_{46} & t_{47} \\ t_{50} & t_{51} & t_{52} & t_{53} & t_{54} & t_{55} & t_{56} & t_{57} \\ t_{60} & t_{61} & t_{62} & t_{63} & t_{64} & t_{65} & t_{66} & t_{67} \end{bmatrix}$$

<65> 여기서 $[T8]$ 은 8-point DCT 기저들로 이루어진 8x8 DCT 매트릭스를 나타낸다.

<66> 결국 $[X]$ 의 IDCT한 결과는 다음의 수학식 3으로 표현된다.

<67> 【수학식 3】

$$[x] = \begin{bmatrix} xt \\ xb \\ xt \\ xb \\ xt \\ xb \\ xt \\ xb \end{bmatrix} = [T8^T][X]$$

<68> 여기서, $[x]$ 는 프레임 구조의 수직 블록을 나타낸다. 이때, 다음의 수학식 4를 이용하면 필드 구조의 IDCT 계수로 변환하면서 텁 필드만을 얻을 수 있다.

<69> 【수학식 4】

$$[X_t] = \begin{bmatrix} xt \\ 0 \\ xt \\ 0 \\ xt \\ 0 \\ xt \\ 0 \end{bmatrix} = [I_f][x] = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} [x]$$

<70> 여기서 $[X_t]$ 는 8×8 블록으로 톱 필드의 화소들로만 구성된다.<71> 따라서, 상기 식들을 이용하여 프레임 DCT 계수들 $[X]$ 는 다음의 수학식 5의 연산을 통해 톱 필드의 IDCT 계수들 $[X_t]$ 로 표현한다.

<72> 【수학식 5】

$$[X_t] = [I_f][x] = [I_f][T8^T][X] = [Q][X]$$

<73> 상기 수학식 5의 Q 를 다음의 Q' 로 변환하여 톱 필드의 IDCT 계수들을 얻을 수 있다

<74> 【수학식 6】

$$[X_t] = \begin{bmatrix} xt \\ xt \\ xt \\ xt \end{bmatrix} = [Q'][X]$$

<75> 여기서, $[Q']$ 는 다음의 수학식 7과 같다.

<76> 【수학식 7】

$$[Q'] = \begin{bmatrix} t_{00} & t_{10} & t_{20} & t_{30} & t_{40} & t_{50} & t_{60} & t_{70} \\ t_{02} & t_{12} & t_{22} & t_{32} & t_{42} & t_{52} & t_{62} & t_{72} \\ t_{04} & t_{14} & t_{24} & t_{34} & t_{44} & t_{54} & t_{64} & t_{74} \\ t_{06} & t_{16} & t_{26} & t_{36} & t_{46} & t_{56} & t_{66} & t_{76} \end{bmatrix}$$

<77> 마지막으로 수평방향으로 DCT 변환영역의 다운 샘플링 방식은 톱 필드의 DCT된 계수들에 대해서만 수평 방향의 고주파수 성분들을 제거한 후 IDCT한 결과이다. 우선 상기 수학식 2와 비슷하게 4 포인트 DCT 기저로 만들어진 4×4 DCT 매트릭스를 $[T4]$ 라고 하

자. 고주파수 성분을 제거한 후 IDCT하는 다운 샘플링 과정은 다음의 수학식 8로 표현된다.

<78> 【수학식 8】

$$\begin{bmatrix} y \\ y \\ y \\ y \end{bmatrix} = [P4^T] \begin{bmatrix} x \\ x \end{bmatrix}$$

<79> 여기서, $[P4]$ 는 다음의 수학식 9와 같다.

<80> 【수학식 9】

$$[P4] = \begin{bmatrix} T4 \\ 0 \end{bmatrix} / \sqrt{2}$$

<81> 이제부터 매크로블록, 즉 4개의 8x8 DCT블록들($X1, X2, X3, X4, ,$)에 대해 살펴보자.

<82> 즉, 도 6에서 보면, 필드 DCT인 경우를 보면, 축소부(401)는 필드 DCT된 매크로 블록이 입력되면 바텀 필드에 해당하는 블록들($X3, X4$)을 제거하고, 나머지 블록들에 대해서 수평방향의 고주파 성분들을 제거한다. 그리고, 상기 바텀 필드와 수평 방향의 고주파 성분이 제거된 블록들($X1', X2'$)은 수직 IDCT부(402), 선택부(403)를 거쳐 수평 IDCT부(404)로 입력되어 각각 수직/수평방향으로 8x4 IDCT된다.

<83> 도 6에서 프레임 DCT인 경우를 살펴보면, 우선 축소부(405)는 프레임 DCT된 매크로 블록이 입력되면 수평방향으로 고 주파수 성분들을 제거하고 매트릭스 곱셈기(406)로 출력한다. 상기 매트릭스 곱셈기(406)는 수평 방향으로 고주파수 성분들이 제거된 블록들($X1', X2', X3', X4'$)을 상기 수학식 7의 $[Q']$ 매트릭스를 사용하여 수직방향으로 다운 샘플링된 톱 필드 구조의 블록들($G1', G2', G3', G4'$)을 얻는다. 이 블록들은 선택부(403)를 통해 수평 IDCT부(404)로 입력되어 수평 방향으로 8x4 IDCT되면 최종적인 톱 필드의 블

록들(x1,x2)을 얻을 수 있다.

<84> 이때, I 퍽처의 경우 상기 적응 IDCT부(304)를 거친 결과가 곧바로 메모리(310)에 저장된다. P-나 B-픽처의 경우는 움직임 예측 보상한 블록들과 더해져서 메모리(310)에 저장된다.

<85> 한편, 일반적으로 비디오 인코더에서는 움직임 보상된 프레임을 얻기 위해서 풀 해상도(full resolution)의 움직임 벡터(MV)를 사용하여 이전 프레임으로부터 현재 프레임의 블록을 재생한다.

<86> 그러므로, 본 발명에서도 움직임 보상시에 화질을 높이기 위해 수평방향의 움직임 벡터를 스케일링 다운(scaling down) 하기보다는 풀 해상도의 움직임 벡터를 사용한다.

<87> 이때, 풀 해상도의 움직임 벡터를 이용하기 위해서는 메모리(310)에 있는 감소된 기준(reduced reference) 퍽처를 원래 해상도로 복원하는 업-샘플링 과정이 필요하다. 또한, 움직임 보상 후에 얻어진 원래 해상도를 다시 1/4 해상도로 줄이기 위한 다운 샘플링 과정이 요구된다.

<88> 도 7은 다운 컨버전시 동작하는 움직임 보상 방식을 나타낸다.

<89> 앞서 설명한 바와 같이 메모리(310)에는 톱 필드의 퍽쳐들이 저장되어 있다. 이때, 어드레스 발생부(500)는 상기 VLD(302)로부터 움직임 벡터(MV)들, 움직임 유형(motion_type), 필드 선택신호(motion_vertical_field_select)들을 입력받은 후 기준 필드가 바텀 필드인 움직임 벡터에 대해서는 톱 필드를 선택한 후 메모리(310)에서 감축된 톱 필드 기준 신호들을 읽어오도록 리드 어드레스를 발생한다.

<90> 따라서, 상기 리드 어드레스의 데이터가 기준 메모리(310)로부터 리드되면 수평방

향으로 업 샘플링/다운 샘플링 과정을 거쳐 움직임 보상된 블록을 얻는다.

<91> 이때, 상기 움직임 보상부(307)는 도 7에서 보는 바와 같이 움직임 유형(motion_type)에 따라 프레임 예측(frame prediction)과 필드 예측(field prediction)으로 나눌 수 있다.

<92> 즉, 상기 필드 예측시 각각의 motion_vertical_field_select 신호에 따라 선택한 필드에 대해 업 샘플링 필터(306)에서 수평 방향으로 업 샘플링 과정을 수행한다. 이때, 바텀 필드는 없으므로 모든 motion_vertical_field_select 신호들은 톱 필드를 가리키게 조절한다. 상기 어드레스 발생부(500)는 풀 해상도 움직임 벡터를 이용해 기준 메모리(310)에 리드 어드레스를 보내서 톱 필드 해당하는 기준 블록만을 수평 업 샘플링 필터(306)로 가져온다.

<93> 따라서, 움직임 보상부(307)는 상기 업 샘플링 필터(306)에서 수평 방향으로 업 샘플링된 블록들에 대해 하프 웨 예측하여 움직임 보상된 블록을 구성한다. 그리고, 다운 샘플링 필터(308)는 상기 움직임 보상된 블록을 수평방향으로 다운 샘플링하여 매크로 블록 가산기(305)로 출력한다.

<94> 한편, 프레임 예측의 경우에도 어드레스 발생부(500)는 풀 해상도 움직임 벡터를 이용해 기준 메모리(310)에 리드 어드레스를 보내고, 톱 필드의 기준 블록만이 업 샘플링 필터(306)로 입력된다. 상기 업 샘플링 필터(306)는 톱 필드에 대해서만 업 샘플링하고, 움직임 보상부(307)는 업 샘플링된 블록에 대해 하프 웨 예측하여 움직임 보상된 블록을 구성한다. 그리고, 다운 샘플링 필터(308)는 상기 움직임 보상된 톱 필드의 블록을 수평방향으로 다운 샘플링하여 매크로 블록 가산기(305)로 출력한다. 여기서, 바텀 필드에 대한 프로세서는 필요치 않으므로 프로세싱 시간을 반으로 줄일 수 있다.

<95> 이 때, 업/다운 샘플링부(306, 308)의 업 샘플링/다운 샘플링 필터의 성질에 따라 화질이 크게 좌우된다. 본 발명에서 사용된 업 샘플링/다운 샘플링 필터 방식은 DCT 기저들로 구성되어진 매트릭스들을 사용한다.

<96> 우선적으로 1차원의 다운 샘플링 과정을 살펴보면, 상기 수학식 8과 9를 이용하여 다음의 수학식 10과 같이 표현된다.

해석. <97> 【수학식 10】

$$y_{[4 \times 1]} = P_4^T \cdot X_{[8 \times 1]} = [T_4^T \ 0] / \sqrt{2} \cdot [T_8] \cdot x_{[8 \times 1]}$$

<98> 여기서, x 는 8×1 화소들을 나타내고, y 는 다운 샘플링된 4×1 화소들을 나타내고, X 는 x 에 대한 DCT한 계수 블록을 나타내며, T_8 은 8×8 DCT 기저 매트릭스를 나타낸다. 또 한, $P_4 = \begin{bmatrix} T_4 \\ 0 \end{bmatrix} / \sqrt{2}$ 이고, T_4 는 4×4 DCT 기저 매트릭스를 나타낸다.

<99> 따라서, 화소에서 화소 단위로의 다운 샘플링 변환은 다음의 수학식 11로 표현된다.

<100> 【수학식 11】

$$y_{[4 \times 1]} = C_{4 \times 8} \cdot x_{[8 \times 1]}$$

<101> 여기서, $C_{4 \times 8} = P_4^T \cdot T_8$ 는 4×8 차원의 다운 샘플링 매트릭스로 정의하고, 8개 화소를 4개 화소로 변환시켜 준다.

<102> 업 샘플링 방식은 상기 식의 역변환으로 4개 화소를 8개의 화소로 다음의 식을 이용하여 변환한다. 우선 수학식 10으로부터 8개의 DCT 계수를 얻으면 다음의 수학식 12와 같다.

<103> 【수학식 12】

$$X_{[8 \times 1]}^{\dagger} = \begin{bmatrix} T_4 \\ 0 \end{bmatrix} \cdot \sqrt{2} \cdot y_{4 \times 1} = C_4 \cdot y_{4 \times 1} \cdot 2$$

<104> 상기 수학식 12를 이용해서 8 포인트 IDCT한 결과는 다음의 수학식 13과 같이 얻을 수 있다.

<105> 【수학식 13】

$$x_{[8 \times 1]}^{up} = T_8^T \cdot X_{[8 \times 1]}^{\dagger}$$

<106> 결국, 상기 수학식 12와 수학식 13은 다음의 수학식 14와 같은 관계식으로 표현된다.

<107> 【수학식 14】

$$x_{[8 \times 1]}^{up} = T_8^T \cdot C_4 \cdot y_{4 \times 1} \cdot 2 = 2 \cdot C_{4 \times 8}^T \cdot y_{4 \times 1}$$

<108> 상기 수학식 14는 메모리(310)에 저장되어 있는 1/2 해상도 영상을 원 해상도로 업샘플링하는 과정을 나타낸다.

<109> 상기 수학식 14의 업 샘플링 매트릭스를 이용하여 수직/수평방향으로 원래 해상도에 맞는 매크로 블록을 재생한 후 움직임 보상 블록을 얻는다. 이때, 수평방향으로 하프 펠 보간(half-pel interpolation)이 존재하거나 풀 해상도 움직임 벡터(MV)가 8의 배수로 떨어지지 않을 경우, 상기 업 샘플링 필터링부(601,602)는 수평방향으로 8x4 단위의 주변 블록들을 메모리(310)로부터 읽어온다. 그 후 각각의 블록들에 대해서 상기 수학식 14에 유도된 바와 같이 각각의 수평 방향으로 업 샘플링 매트릭스를 이용하여 톱 필드로만 구성된 풀 해상도(full-resolution) 블록을 복원한다. 그 후에 풀 해상도 움직임 벡터에 해당하는 영역에 대해서 움직임 보상부(307)에서 하프 펠 보간하여 우리가 원하는 움직임 보상된 블록을 구한다.

<110> 이렇게 움직임 보상된 매크로 블록에 대해서 도 5에서 보는 바와 같이 가산기(305)에서 8x4 IDCT한 결과와 더하기 위해서 다시 다운 샘플링 과정을 거친다.

<111> 이를 위해 상기 수학식 11의 다운 샘플링 매트릭스를 이용하여 수평 방향으로 1/2 크기를 갖는 매크로 블록을 얻게 된다. 이렇게 얻어진 블록은 도 5의 MB 가산기(305)를 통해서 다시 메모리(310)에 저장되며 이때 톱 필드 블록들이 더해진다.

<112> 그리고, 도 4에서 보는 바와 같이 감소된 해상도 픽처(reduced-resolution picture)들은 다양한 디스플레이 모드에 따라서 VDP(311)를 거쳐서 화면에 나타난다. 즉, 상기 VDP(311)는 원래 HD신호의 1/4 해상도에 해당하는 톱 필드만을 갖는 기준 픽처들을 디스플레이 장치의 화면에 디스플레이 한다.

<113> 한편, 본 발명은 바텀 필드는 제거하고 톱 필드에 대해서만 수평 방향으로 다운 샘플링하여 IDCT하는 과정을 실시예로 설명하였으나, 반대로 톱 필드를 제거하고 바텀 필드에 대해서만 수평 방향으로 다운 샘플링하여 IDCT할 수도 있다. 이는 설계자에 의해 결정될 수 있다. 또한, 수평 방향으로 고주파수 성분을 제거하지 않고 톱 필드에 대해서만 IDCT하면 50% 메모리 감축 효과를 얻을 수 있다.

<114> 이와 같이 본 발명은 고화질로 부호화된 여러 개의 HD급 비율주사 비디오 신호들을 한 화면에 여러 개 디스플레이하거나 SD급의 저 해상도 화면 장치로 고 해상도의 HD급 신호를 디스플레이하는데 이용되며, 기존 HD급 비디오 디코더의 외부 메모리를 75% 감축한 효과를 갖는다. 특히, 본 발명은 DTV 또는 디지털 화상회의 시스템 응용 분야에 적용하는 저가의 MPEG-2 디코더 칩에 적용하여 유리하다.

<115> 일 예로, 본 발명은 MPEG2 MP@HL의 고해상도 비율 주사 HD급의 1920x1080 영상 비

트스트림을 디코딩하여 저해상도 SD(standard definition)급의 960x540 비율 주사 화면 장치에 디스플레이할 수 있다.

【발명의 효과】

<116> 이상에서와 같이 본 발명에 따른 디지털 동영상 수신 장치에 의하면, HD급 비율주사 시퀀스를 위한 다운 컨버터를 갖는 비디오 디코더를 통해 75% 메모리 감축 효과과 매우 적은 하드웨어의 복잡성을 가지면서 각종 PIP(pictures in picture)용이나 SD급의 저해상도 디스플레이 장치에서 좋은 화질의 SD급 화면을 얻을 수 있다.

<117> 또한, 한 개의 HD급 비디오를 처리하기 위한 메모리만 가지고도 여러 개의 HD급 비디오 및 여러 종류의 다양한 SD급 비디오를 한 화면에 디스플레이 할 수 있게 되며, 추가적인 하드웨어의 부담없이 HD급 비디오 신호들을 저 해상도 디스플레이 장치에 연결하여 시청이 가능해진다.

<118> 특히, 본 발명은 디지털 TV나 비디오 화상 등의 응용 분야에 필수적인 기술로서 멀티 디코딩이나 한 화면에 여러 개의 비디오를 수신 및 화면 처리할 수 있는 저가격의 HD to SD 비디오 디코더 및 타 회사의 디지털 TV와의 기술 경쟁력 강화 등의 큰 효과를 얻을 수 있다.

<119> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<120> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

【특허청구범위】**【청구항 1】**

비디오 신호가 포함된 비트 스트림을 분리하여 추출하는 비디오 비트스트림 추출 수단; 그리고

상기 추출된 비디오 비트스트림이 비율주사 시퀀스인 경우 프레임 DCT coded 블록과 필드 DCT coded 블록을 고정된 틈 필드 기반의 화소구조를 갖는 픽처로 다운 컨버젼하여 메모리에 저장한 후 움직임 보상을 하는 비디오 처리부를 포함하여 구성되는 것을 특징으로 하는 디지털 동영상 수신 장치.

【청구항 2】

제 1 항에 있어서, 상기 비디오 처리부는
입력되는 비디오 비트스트림을 가변길이 디코딩 및 역양자화한 후 역양자화된 DCT 계수가 비율주사 시퀀스의 필드 DCT된 데이터이면 바텀 필드의 DCT 계수를 제거하고, 틈 필드에 대해서는 수평 방향으로 고주파수 성분의 DCT 계수를 제거한 후 8x4 역 이산 코사인 변환(IDCT)을 수행하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 틈 필드만을 추출한 후 IDCT를 수행하는 것을 특징으로 하는 디지털 동영상 수신 장치.

【청구항 3】

제 1 항에 있어서, 상기 비디오 처리부는
움직임 보상시 풀 해상도 움직임 벡터를 사용하는 경우 움직임 보상전에 메모리로부터 틈 필드의 기준 데이터를 읽어 와 수평 방향으로 업 샘플링 필터링을 수행하고, 움

직임 보상 후에 수평 방향으로 다운 샘플링 필터링을 수행하는 것을 특징으로 하는 디지털 동영상 수신 장치.

【청구항 4】

입력되는 비디오 비트스트림을 가변 길이 디코딩(VLD)한 후 역양자화(IQ) 과정, 역이산 코사인 변환(IDCT) 과정, 및 움직임 보상(MC) 과정을 거쳐 원래 화면의 픽셀 값으로 복원하는 비디오 디코딩 장치에 있어서,

상기 역양자화된 DCT 계수가 비율주사 시퀀스의 틈 필드 DCT된 데이터이면 바텀 틈 필드의 DCT 계수를 제거하고, 틈 필드에 대해서는 수평 방향으로 고주파수 성분의 DCT 계수를 제거한 후 8x4 역 이산 코사인 변환(IDCT)을 수행하고, 프레임 DCT된 데이터이면 수평 방향으로 고주파수 성분의 DCT 계수를 제거하고 틈 필드만을 추출한 후 IDCT를 수행하는 IDCT부;

상기 IDCT된 데이터 또는 상기 IDCT된 데이터와 움직임 보상된 데이터의 가산 결과를 저장하는 메모리;

상기 메모리로부터 리드된 틈 필드의 기준 픽쳐를 수평 방향으로 업 샘플링하는 업 샘플링부;

상기 업 샘플링부에서 수평 방향으로 업 샘플링된 픽쳐에 대해 VLD로부터 출력되는 풀 해상도의 움직임 벡터를 사용하여 움직임 보상을 수행하는 움직임 보상부;

상기 움직임 보상부에서 움직임 보상된 데이터를 수평 방향으로 다운 샘플링한 후 상기 IDCT된 데이터와 더하여 메모리에 다시 저장하는 다운 샘플링부; 그리고 디스플레이 모드에 따라 상기 메모리에 저장된 데이터를 리드하여 디스플레이 장치

로 출력하는 비디오 디스플레이 처리부를 포함하여 구성되는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 5】

제 4 항에 있어서, 상기 IDCT부는

비월주사 시퀀스의 프레임 DCT coded 블록이면 수평방향으로 고 주파수성분의 DCT 계수를 제거하는 수평 축소부와,

상기 수평 방향으로 감축된 프레임 DCT coded 블록을 필드 DCT coded 블록으로 변환하면서 톱 필드의 IDCT 계수만을 출력하는 변환부와,

상기 변환부의 출력 데이터에 대해 수평 방향으로 IDCT를 수행하는 수평 IDCT로 구성되는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 6】

제 5 항에 있어서, 상기 변환부는

다음의 매트릭스를 적용하여 8개의 프레임 DCT 계수들을 갖는 수직 블록 $[X]$ 을 톱 필드의 IDCT 계수들 $[X_t]$ 로 변환하는 것을 비디오 디코딩 장치.

$$[X_t] = \begin{bmatrix} xt \\ xt \\ xt \\ xt \end{bmatrix} = [Q^T] [X]$$

$$[Q^T] = \begin{bmatrix} t_{00} & t_{10} & t_{20} & t_{30} & t_{40} & t_{50} & t_{60} & t_{70} \\ t_{02} & t_{12} & t_{22} & t_{32} & t_{42} & t_{52} & t_{62} & t_{72} \\ t_{04} & t_{14} & t_{24} & t_{34} & t_{44} & t_{54} & t_{64} & t_{74} \\ t_{06} & t_{16} & t_{26} & t_{36} & t_{46} & t_{56} & t_{66} & t_{76} \end{bmatrix}$$

여기서,

【청구항 7】

제 4 항에 있어서, 상기 업 샘플링부는

움직임 보상시 기준 필드가 바텀 필드인 움직임 벡터에 대해서는 톱 필드를 선택한 후 메모리에서 감축된 톱 필드 기준 신호들을 읽어 와 수평 방향으로 업 샘플 필터링하는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 8】

제 4 항에 있어서, 상기 움직임 보상부는

필드 예측 보상시 상기 업 샘플링된 블록들에 대해 풀 해상도 움직임 벡터를 이용하여 하프 펠 보간하여 움직임 보상된 블록을 구성하는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 9】

제 4 항에 있어서, 상기 움직임 보상부는

프레임 예측 보상시 풀 해상도 움직임 벡터를 이용하여 톱 필드의 업 샘플링된 블록들을 하프 펠 보간하여 움직임 보상된 블록을 구성하는 것을 특징으로 하는 비디오 디코딩 장치.

【청구항 10】

제 4 항에 있어서, 상기 다운 샘플링부는

다음의 4×8 차원의 다운 샘플링 매트릭스 $C_{4 \times 8}$ 를 적용하여 8개 화소를 4개 화소로 변환하는 것을 특징으로 하는 비디오 디코딩 장치.

$$C_{4 \times 8} = P_4^T \cdot T_8$$

여기서, $P_4 = \begin{bmatrix} T_4 \\ 0 \end{bmatrix} / \sqrt{2}$ 이고, T_8 은 8×8 DCT 기저로 구성되어진 매트릭스, T_4 는 4×4

DCT 기저로 구성되어진 매트릭스임.

【청구항 11】

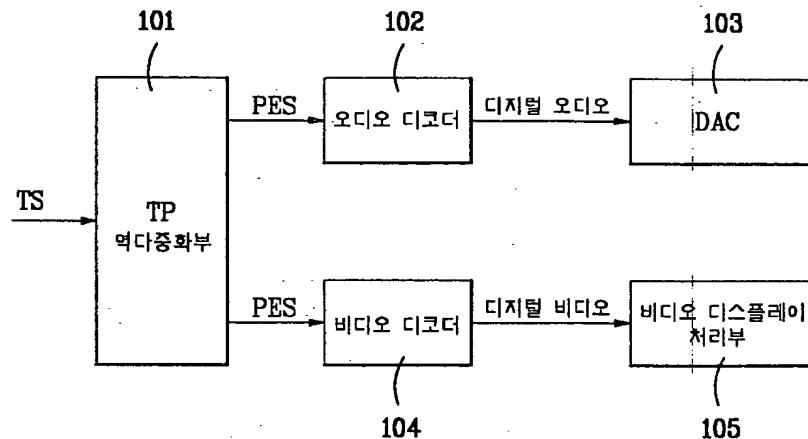
제 4 항에 있어서, 상기 업 샘플링부는

다음의 업 샘플링 매트릭스를 적용하여 4 화소를 8 화소로 변환하는 것을 특징으로 하는 비디오 디코딩 장치.

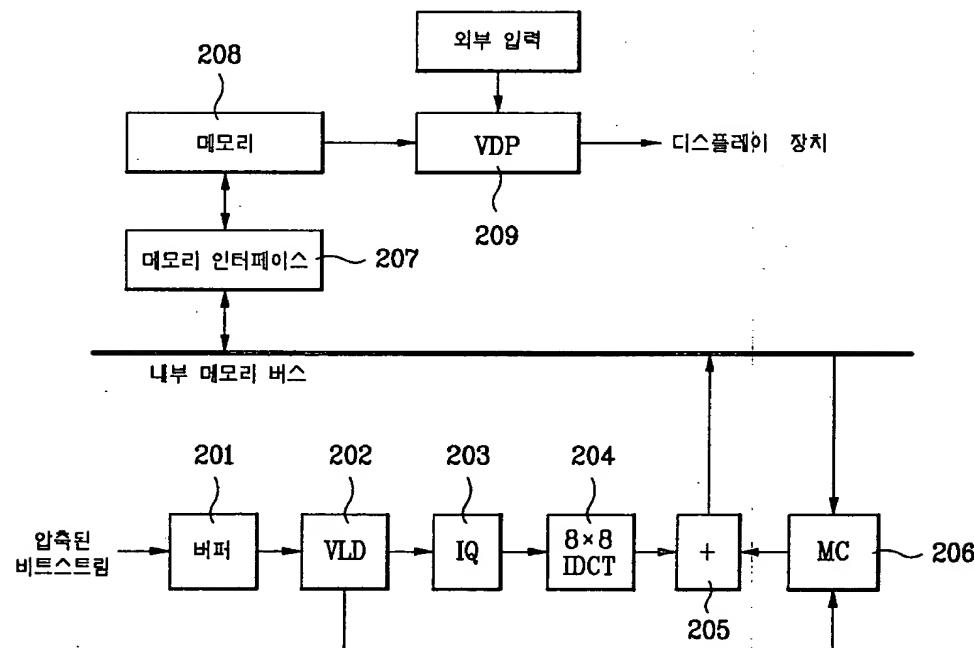
$$2 \cdot C_{4 \times 8}^T$$

【도면】

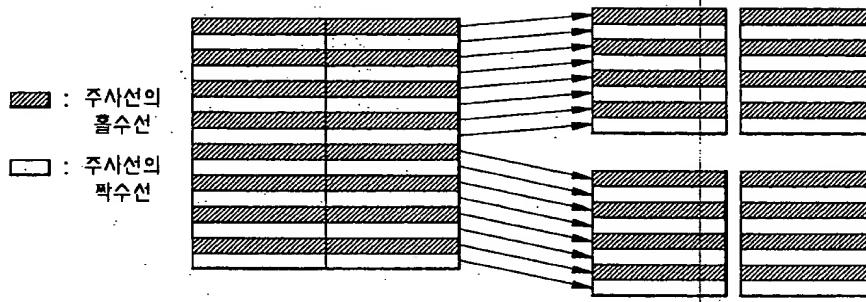
【도 1】



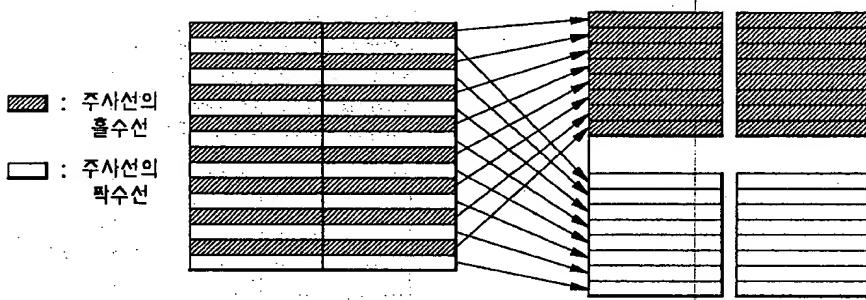
【도 2】



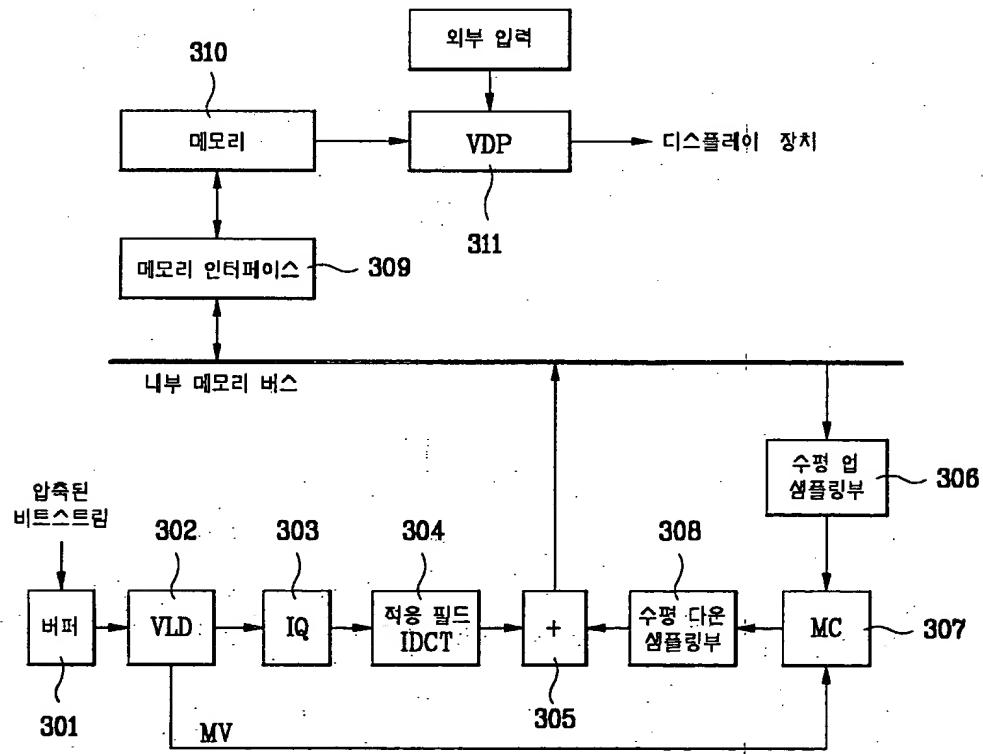
【도 3a】



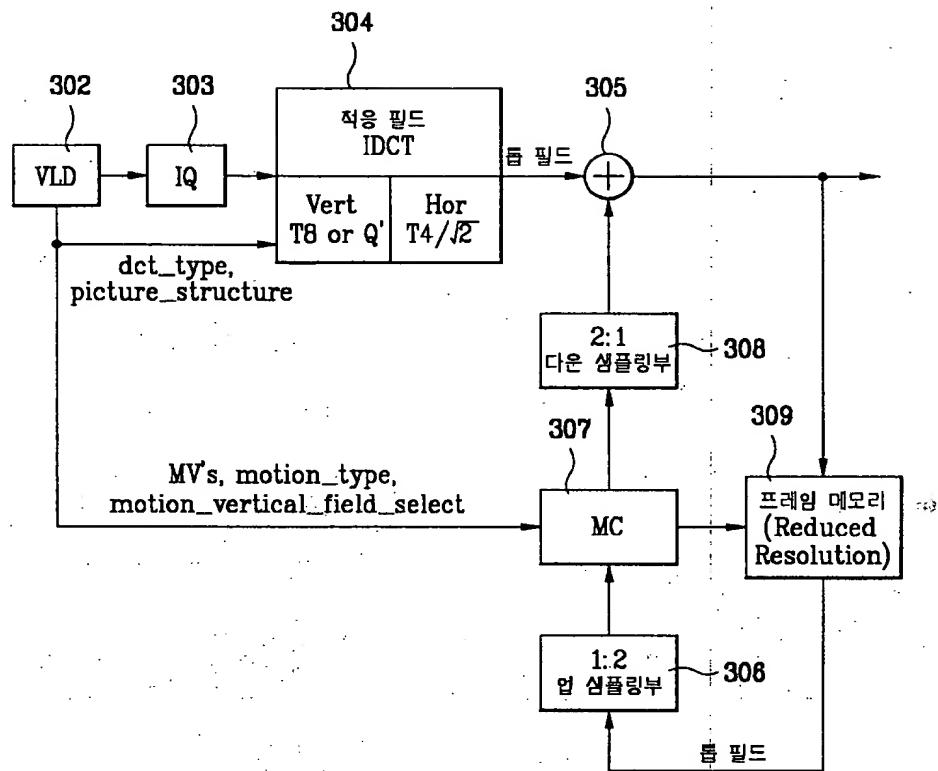
【도 3b】



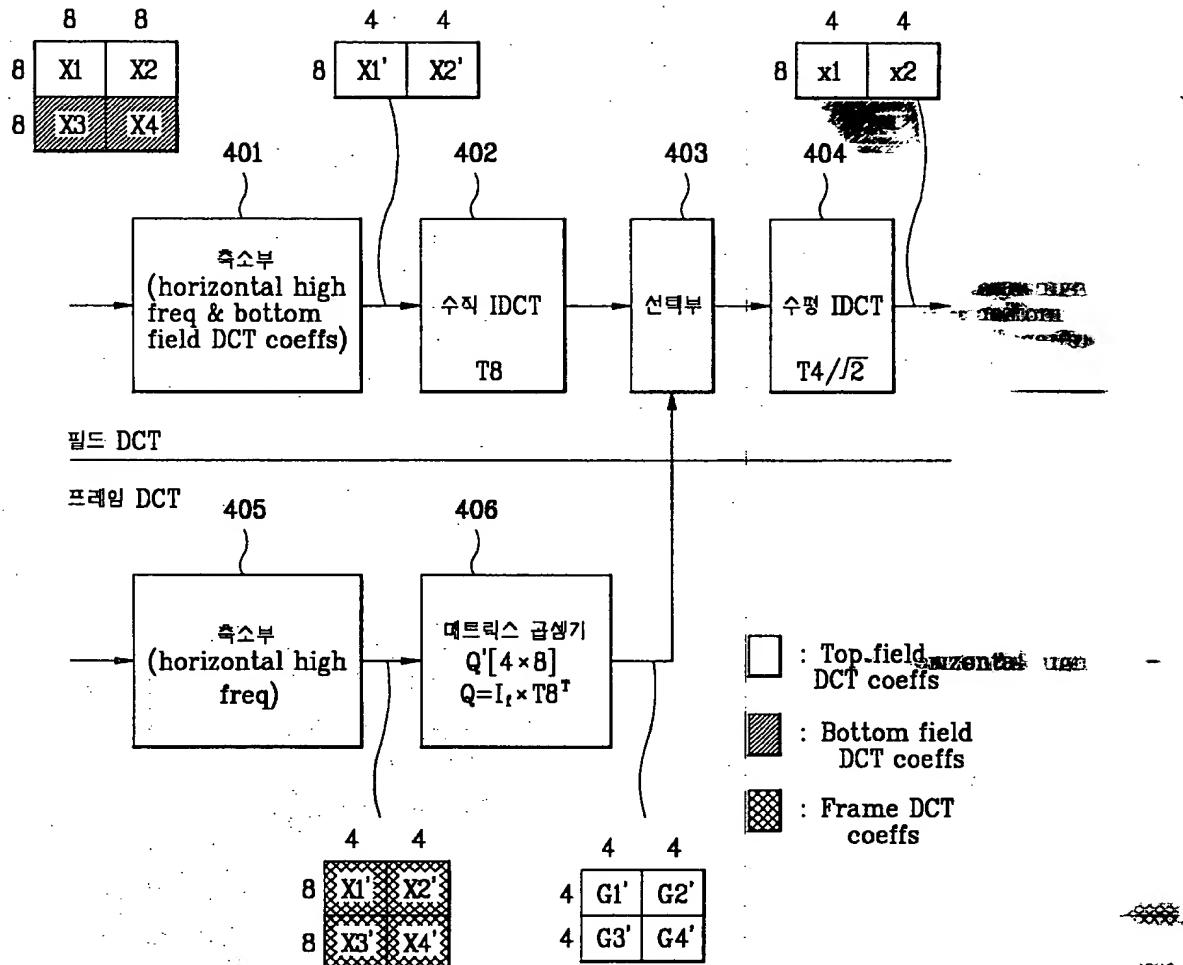
【도 4】



【도 5】



【도 6】



【도 7】

